

JAPANESE PATENT PUBLICATION

Publication Number: Sho. 55-15869

Publication Date: April 26, 1980

Laid-open Number: Sho. 48-43884

5 Laid-open Date: June 25, 1973

Application Number: Sho. 46-78963

Filing Date: October 7, 1971

Inventor: Shunpei Yamazaki

Applicant: TDK Corporation (Tokyo Denki Kagaku Kogyo Kabusiki

10 Kaisha)



Title of the Invention

SEMICONDUCTOR MEMORY DEVICE

Scope of Claim

1. A semiconductor memory device comprising a pair of impurity regions, formed on a semiconductor substrate, having a different conductivity type from the substrate and an insulating material, formed on said substrate between said pair of impurity regions, containing a charge trapping center layer therein, characterized in that, during writing or rewriting operation of recording information, a part or whole of one of said pair of regions is configured to have a depth of 0.5μ or less, and is allowed to act as a drain to thereby inject an excited charge generated in said drain or in the vicinity thereof into said trapping center layer, and during reading operation of the recorded information, said region that is allowed to act as the drain is allowed to act as a source, whereas the region that is allowed to act as a source is allowed to act as the drain.

Detailed Description of the Invention

- 25 The present invention relates to a non-volatile semiconductor memory device that

is a variation of an insulated gate-type field effect transistor (hereinafter referred to as "MIS-FET"). The present invention relates to a semiconductor memory device in which a reverse bias voltage is applied to a region between a semiconductor substrate and an impurity region having a conductivity type that is reverse to the substrate, and at the time
5 when an excited charge that is generated in this region or in the vicinity thereof, is injected into a charge trapping center layer of an insulating material, at least one end of a drain is configured to have a depth of $0.5\ \mu$ or less, thereby forming a portion where strong electric field concentrates and causing a necessary reverse bias voltage to be reduced than that of the conventional ones, with the result that, upon reading information,
10 a source and the drain are allowed to act reversely.

That is, in a semiconductor memory device, which comprises a pair of impurity regions, buried on a semiconductor substrate, having a different conductivity type from the substrate and an insulating material containing a charge trapping center layer (hereinafter referred to as "trap layer" or "TL"), on the substrate between the regions, and
15 which allows the pair of regions described above to act as a source and a drain, respectively, thereby causing an avalanche state between the source and the drain, and injecting an excited charge generated in the drain or in the vicinity thereof into the above-mentioned trapping center layer to carry out writing or rewriting operation of recording information, an object of the present invention is to allow the pair of regions described
20 above to act as the drain and the source, reversely, to thereby conduct a reading operation of the recorded information.

The present invention also aims, in order to eliminate the use of a portion as a drain where the avalanche state generates, to form a pair of third impurity regions in the source or the drain, to thereby conduct a reading operation of the recorded information using
25 such regions.

Among the semiconductor memory devices, several devices having a function as one bit with one nonvolatile element, are developed. Of those, one of typical devices utilizes a method in which a pair of impurity regions having a reverse conductivity type,

buried in the semiconductor substrate are used as a source and a drain, high voltage is applied to between the pair of regions, and impact ionization, such as an avalanche plasma, generated in the drain or in the vicinity thereof due to p-n junction, is utilized, thereby allowing electrons and holes to be an excite state, and to be injected into, trapped, 5 or recombined to the trapping center layer TL formed within the gate insulating material by applying a positive or negative voltage to a gate electrode.

However, practically, in the system in which such an avalanche plasma is employed, there exist several disadvantages. Firstly, though a voltage of 60 V or higher is needed as the drain voltage in order to cause an avalanche state, such a voltage is a fatal defect 10 to the semiconductor memory devices that employ such a system, or to IC memories that are integrated using those memory devices. The present invention conducts the writing operation of recording information with the lower voltage compared to the conventional ones, while eliminating such defects. However, the present invention also eliminates other defect caused by the result thereof, and an improvement thereof is carried out.

15 Detailed explanation thereof will be made in accordance with embodiments hereinafter.

Fig.1 is a vertical cross section of MIS-FET according to the device of the present invention. In part A of Fig.1, the semiconductor substrate 1 is made up of a p-type semiconductor with 100 plane direction having an impurity concentration of, for example, 20 $1 \times 10^{15} - 5 \times 10^{16} \text{ cm}^{-3}$. As a manufacturing method of the MIS-FET, a self-alignment gate lead (referred to as SAGL) is employed, which has been made known by the inventor of the present invention. Namely, in order to reduce electrostatic coupling between the substrate and a source lead 5 or between the substrate and a drain lead 6, a field silicon oxide film 2 is buried to be formed on the substrate to have a thickness of $0.6 - 1 \mu$, and 25 these leads and a gate electrode are formed with poly crystal silicon doped with a large quantity of impurities to have a thickness of $0.6 - 1 \mu$. The insulating materia beneath a gate electrode 7 is composed of insulating films 8, 10, and a TL 9, and the upper and lower surface and the peripheral surface of the TL are surrounded with the insulating

films. An insulating film 10 is composed of a silicon oxide film that is obtained by thermal oxidation at 1,200°C, and formed to have a thickness of 1,000 - 3,000 Å. An insulating material 8 is made up of silicon nitride and aluminum oxide having a thickness of 300 - 800 Å in order to provide high electric capacity thereto. This film may be made of a material with high dielectric constant, such as titanium oxide. In the case where the TL 9 is made of a semiconductor such as silicon or germanium, silicon nitride is a suitable material for the film 8 because a part of cluster within the film 8 is formed in close contact with the upper surface of the TL, whereas aluminum oxide or other metal oxide was suitable when the TL 9 is made of a metal such as molybdenum or aluminum.

10 In the case where the TL 9 is made of aluminum, the film 8 may be made of aluminum oxide formed by electroless oxidation or vapor thermal oxidation of a portion of the TL.

SAGL is described in Patent Application Nos. Sho 45-51721 or Sho 45-61654 as the manufacturing method thereof. However, the step comprises: forming electrodes of a source and a drain; forming a gate insulating material; simultaneously forming leads of the gate electrode, source and drain; forming the source and the drain, and the like. The step of forming the source and the drain is a final step. As a result, it becomes possible to apply a so-called shallow diffusion to a drain, or to form a source and the drain by ion implantation, with the result that it also becomes possible to make a radius of curvature of the source side edge of a drain 11 be 500 Å or less. At the same time, as the source 3 and the drain 4 have a perfect ohmic contact with each of leads 5, 6, which causes no practical obstacle, and the number of photo mask can be reduced to 3 times in case that the TL 9 is not formed, which are included in the characteristics of the method.

It became clear through experiments that the avalanche voltage is inversely proportional to the radius of curvature of the side end of the drain 11 or to the depth of diffusion of the drain. Namely, when the depth of the diffusion for forming the impurity region is 1 μ, 90 V is required as the avalanche voltage, in case of 0.5 μ, 50 V is required, and in case of 0.1 μ, 20 V was required. This is the case that the impurity concentration

of the substrate is $1 - 5 \times 10^{15} \text{ cm}^{-3}$ on the p-type (100) plane, and the drain impurity region has an reverse conductivity type of N^+ with an impurity concentration of 10^{20} cm^{-3} . Also, assuming that, when the impurity concentration of the substrate is $1 \times 10^{16} \text{ cm}^{-3}$, the depth of the diffusion is 0.1μ , the avalanche plasma generates with 15 V. As described
5 above, an aspect of the present invention resides in that MIS-FET is formed by SAGL system so as to eliminate the defect of the conventional MIS-FET manufacturing method in which diffusion happens again in the source and the drain at the step of forming the gate oxidation film. Employment of the above enables to reduce the avalanche voltage to 20 V.

10 Another aspect of the present invention resides in that electron or hole excited by the avalanche is injected into the TL in the insulating material beneath the gate electrode by applying a positive or negative voltage to the gate electrode, to thereby trap or recombine them with the charge already trapped in the TL. In order to realize the above, conventionally, 50 V or more of gate voltage is required for the gate. However,
15 according to the present invention, the injection of electron or hole becomes possible with a gate voltage of $\pm 30 \text{ V}$ by making the capacity of the insulating film 8 larger than that of the insulating film 10. With such a structure, the surface of the semiconductor substrate 1 is bended upwards by electron or hole trapped in the TL, with the result that it becomes possible to conduct an on/off operation between the source and the drain,
20 which are a pair of impurity regions. This on or off state is independent from how much current flows between the source and the drain. In addition, as the memory information is no volatile, refresh of the memory which is necessary for a core memory became unnecessary.

The present invention has advantages mentioned above, however, in order to reduce
25 the necessary voltage for generating exited charge compared with the conventional ones, with employment of the structure of the drain end on the source side as shown in Fig.2, concentration of electric field occurs in the drain, with the result that the generation of avalanche at such a portion becomes more frequent.

The present invention has solved the above-mentioned problems. That is, to generate excited electrons by making use of the p-n junction between the substrate and the impurity region, a source potential is generally set to be equal to that of the substrate, and a reverse bias voltage is applied to the drain. Therefore, in order to eliminate such a defect, the impurity region that is used as a drain at the time of the writing operation is used as a source, thereby setting the source to be substantially the same potential as the substrate. On the other hand, the impurity region that was conventionally used as the source was used as the drain. As shown in Fig. 1B and Fig. 2, it was configured such that one of the impurity regions 3 has a depth of more than $1\ \mu$, in order to eliminate the electric field to be locally concentrated, and that the necessary voltage for generating avalanche plasma is set to be at least 50 V. In other words, it was configured such that the structure of the source and the drain are formed to be asymmetric, and avalanche plasma is taken place with a low voltage only in either one of them.

Another method according to the present invention is described in Fig. 2. The method resides in that a drain consisting of an impurity region 4' dedicated to read a signal is formed so as to face with an impurity region 3 that constitutes the source or the drain, independently with the drain that has been used for avalanche. With employment of such a structure in which semiconductor memory devices are highly integrated, there is a characteristic in that the formation of the surrounding circuit is remarkably easy.

In other words, the drains 4, 4' are formed on both sides of one impurity region 3 with a shape constituting two pairs consisting of two impurity regions 4, 4'. Reference numeral 4 denotes a drain dedicated to write a recording information, and reference

5 As is clear from the explanation described above, the present invention provides a semiconductor memory device for carrying out the writing operation of the non-volatile memory by taking an advantage of avalanche plasma, in which there are employed a drain structure that enables to reduce the necessary voltage for generating avalanche plasma, and a method of conducting a writing operation of the non-volatile memory by trapping
10 electron and hole exited with such a structure into the TL by taking an advantage of electric field in the gate. In addition, in order to facilitate the manufacturing of the peripheral circuits, upon carrying out the writing and reading operation of the recording information, it was configured so that the same impurity regions are not used as the same source and drain, respectively. Consequently, it is believed that the present invention
15 remarkably contributes to the industrial world because of its novelty and utility.

Figs. 1 are vertical cross sectional views according to the device of the present invention, and Fig. 2 is a vertical cross sectional view explaining the relationship of relative position between three impurity regions and the TL according to another device of the present invention.

⑩日本国特許庁(JP)

⑪特許出願公告

⑩ 特 許 公 報 (B2) 昭55-15869

⑫ Int. Cl.

H 01 L 29/78

G 11 C 11/40

識別記号

101

庁内整理番号

7514-5F

7010-5B

⑬(4)公告 昭和55年(1980)4月26日

発明の要 1

(全4頁)

1

⑭半導体メモリ装置

⑮特 願 昭46-78963

⑯出 願 昭46(1971)10月7日

(前置審査に係属中)

公 開 昭48-43884

⑰昭48(1973)6月25日

⑱発 明 者 山崎舜平

東京都中央区日本橋1丁目13番1
号東京電気化学工業株式会社内

⑲出 願 人 東京電気化学工業株式会社

東京都中央区日本橋1丁目13番1
号

⑳特許請求の範囲

1 半導体基板に設けられたこの基板とは異種導電型の一对の不純物領域と、該一对の領域間の前記基板上に設けられた電荷の捕獲中心層を含有する絶縁物とを有する半導体メモリ装置において、記憶情報の書き込みまたは再書き込みに際して、前記一对をなした領域の一方の一部または全部を0.5 μ 以下の深さに構成してこれをドレインとして作用せしめて該ドレインまたはその近傍で発生した励起電荷を前記捕獲中心層に注入し、前記記憶情報の読み出しに際しては、前記ドレインとして作用させた領域をソースとして、他方ソースとして作用させた領域をドレインとして作用させることを特徴とした半導体メモリ装置。

発明の詳細な説明

本発明は絶縁ゲイト型電界効果トランジスタ(以後MIS・FETと記す)の変形である不揮発性半導体メモリ装置に関する。本発明は、半導体基板とその基板とは逆導電型の不純物領域との間に逆バイアス電圧を印加し、この領域またはその近傍で発生する、励起電荷を絶縁物中の電荷捕獲中心層に注入するに際し、ドレインの少くとも一端を0.5 μ 以下の深さに構成することによつて強

2

電界が集中する部分を形成して、必要な逆バイアス電圧を従来よりも低くしたため、情報の読み出しは、ソースとドレインとを逆に作用させるようにした半導体メモリ装置に関するものである。

5 すなわち、本発明の目的は、半導体基板に埋置した一对の前記基板とは異種導電型の不純物領域と、該領域間の基板上に電荷の捕獲中心層(以下トラップレイヤまたはTLと記す)を含有する絶縁物を有し、かつ前記した一对の領域をそれぞれソースおよびドレインとして作用せしめて、このドレインまたはその近傍で発生した励起電荷を前記捕獲中心層に注入して記憶情報の書き込みまたは再書き込みを行う半導体メモリ装置において、前記

15 一对をなした領域を逆にドレインおよびソースとして作用せしめて、記憶情報の読み出しを行なわしめんとしたものである。

本発明は同様に、このアバランシェ状態の発生する部分をドレインとして使うことを除去するため、ソースまたはドレインに對をなした第3の不純物領域を設け、かかる領域を利用して記憶情報の読み出しを行なわんとしたものである。

半導体メモリ装置のうち、不揮発性の1素子で1ビットの機能を有する装置がいくつか開発された。このうちの1つの代表的なものは半導体基板に埋置した逆導電型の不純物領域をソース、ドレインとし、この一对の領域の間に高電圧を加えてドレインまたはその近傍でのP-N接合で生ずるアバランシェプラズマ等のインパクトアイオナ

30 セイションを利用して電子及びホールを励起状態にしこれをゲイト電極に正又は負の電圧を加えてゲイト絶縁物内に形成されたる捕獲中心層TLにかかる電子又はホールを注入、捕獲又は再結合させる方法がある。

しかしながらかかるアバランシェプラズマを用いる方式は実用的にはいくつかの欠点が存在する。その第1はアバランシェをおこすのにこれまでは

(2)

特公 昭 55-15869

3

4

60V以上の電圧をドレイン電圧として必要としているが、この電圧はかかる方式を用いて半導体メモリ装置又はそれを集積化したICメモリに対して致命的な欠陥である。本発明はかかる欠陥を除去し従来と比較して低い電圧で記憶情報の書き込みを行なつたが、その結果発生する他の欠点を除去し改良したものである。

以下にその詳細を実施例に従つて説明する。

第1図は本発明装置のMIS・FETの縦断面図を記したものである。Aにおいて半導体基板1は例えば $1 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-3}$ の不純物濃度をもつ100面方位のP型半導体とした。MIS・FETの作製方法は本発明人により既に公知のセルフ・アライン・ゲイト・リード(SAGLと記す)とした。すなわち、ソース・リード5、ドレインリード6と基板との間の静電結合を少なくするためフィールド酸化珪素被膜2が $0.6 \sim 1 \mu$ の厚さに基板を埋置して形成されこれらリード及びゲイト電極は不純物の多量にドーブされた多結晶シリコンが $0.6 \sim 1 \mu$ の厚さに形成されている。ゲイト電極7下の絶縁物は絶縁膜8、10及びTL9からなつておりTLの上下面及び側周縁は絶縁膜によりかこまれている。絶縁膜10は基板を 1200°C で加熱酸化することにより $1000 \sim 3000 \text{ \AA}$ の厚さに形成された酸化珪素被膜からなる。絶縁膜8は高い静電容量を有せしめるため窒化珪素、酸化アルミニウムが $300 \sim 800 \text{ \AA}$ の厚さに形成されている。この被膜は酸化チタン等高い誘電率のものであつてもよい。TL9がシリコン又はゲルマニウム等の半導体で形成されている場合は被膜8内のクラスターの一部がTLの上面に密着して形成されているため、被膜8は窒化珪素が好ましく、TL9がモリブデン、アルミニウムなどの金属からなる場合は、酸化アルミニウムその他の金属酸化物が好ましかつた。TL9がアルミニウムの場合は、被膜8はTLの一部を無電界酸化又は水蒸気中での熱酸化により酸化アルミニウムとして形成してもよい。

SAGLはその作製方法として特願昭45-51721、45-61654にその記載があるがソース、ドレインの電極を作る、ゲイト絶縁物を作る、ゲイト電極、ソース、ドレインのリードを同時に作る、ソース、ドレインを作る、といった工程でありソース、ドレインの作製が最終工程である。このた

め、ドレインにいわゆる浅い拡散(シアローディフュージョン)又はイオン注入法によるソース、ドレインの作製が可能となりドレイン端11のソース側の曲率半径を 500 \AA 以下にすることが可能になつた。同時にソース3、ドレイン4とそれぞれのリード5、6は完全なオーム接触をしているため、実用上は全くさしさわりがなく、フォトマスクの数はTL9の作製を行なわない場合は3回で可能である等の特長を有している。

アバランシェ電圧とドレイン端11の曲率半径ひいてはドレインの拡散の深さとは逆比例の関係にあることが実験より明らかとなつた。すなわち、不純物領域を形成するための拡散の深さが 1μ の場合は90Vであり 0.5μ では50Vであり、 0.1μ では20Vであつた。これは基板の不純物濃度がP型100面で $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ であり、又ドレイン不純物領域の不純物濃度が 10^{20} cm^{-3} の n^+ 型の逆電型を有していた場合である。又この基板の不純物濃度が、 $1 \times 10^{16} \text{ cm}^{-3}$ の場合拡散の深さを 0.1μ とするとアバランシェ電圧は約15Vでおきた。かくの如く本発明は従来のMIS・FETの作製方法の場合では、ソース、ドレインがゲイト酸化膜を作製する際再拡散がおきてしまうという欠点を除去するためSAGL方式によりMIS・FETを作つたことによる。かくの如くにより、アバランシェ電圧を20Vにまで下げることが可能となつた。

本発明の他の1つはかくの如きアバランシェにより励起された電子又はホールをゲイト電極に正または負の電圧を印加してゲイト電極下の絶縁物内のTLに注入し捕獲又はすでに捕獲されている電荷と再結合させることにある。このためにはゲイトに従来の場合は50V以上のゲイト電圧を必要としたが本発明は絶縁膜8を10に比べて大きい容量とすることによりゲイト電圧が $\pm 30 \text{ V}$ で電子又はホールの注入が可能となつた。かくの如くにして、TLに捕獲された電子又はホールにより半導体基板1の表面は上側に曲り、一對の不純物領域であるソース、ドレイン間をオフ又はオンにすることが可能となつた。このオンまたはオフの状態はソース、ドレイン間を電流がどの程度流れようともそれらには無関係でありさらに記憶情報が不揮発性であるためコアメモリに必要な記憶のリフレッシュが不要となつた。

(3)

特公 昭55-15869

5

以上の如き等長を有するが、この励起電荷を発生させるに必要な電圧を従来と比較して下げるためドレイン端のソース側を第2図に示される如き構造にすることによりドレインでの電界の集中が起きかかる部分でのアバランシェがより生じやすくなった。

しかしこのアバランシェが8-25Vで起きようになつた結果、記憶されている信号の読出しを行う際もその一部にアバランシェをおこしてしまうものがあり、前記した読出しにより記憶情報10が失なわれない、すなわち、非破壊であるという等長がなくなってしまう場合があつた。このため、読み出しには従来のソース、ドレインをそのまま用いることは好ましくないことがわかつた。

本発明はかかる問題点を解決したものである。15 即ち、基板と不純物領域とのPN接合を用いて励起電荷を発生せしめんとする場合、ソース電位は基板電位と通常同電位であり、ドレインに対して逆バイアス電圧が印加される機構になつている。このためかかる欠点を除去するには書込みのとき20 用いられるドレインとして用いる不純物領域をソースとして用い基板と実質的に同電位にした。他方従来のソースとして用いられた不純物領域をドレインとして用いたものである。すなわち、第1図B、第2図に示す如く、一方の不純物領域3は25 電界の局部集中を除去するためその深さが1 μ 以上あり、アバランシェプラズマの発生に必要な電圧は少なくとも50Vが必要であるようにした。即ちソース、ドレインを構造的に非対称としその何れか一方においてのみ低い電圧でアバランシェ30 ラズマが起きるようにしたものである。

本発明の他の方法は第2図に記されているが、

6

アバランシェに用いられたドレインとは別にソースまたはドレインを構成する不純物領域3に相対して信号の読出し専用の不純物領域4'からなるドレインを設けることである。かくの如くして半導体メモリ装置を高密度に集積化した構造においてはその周辺回路がきわめて容易になるという等長がある。

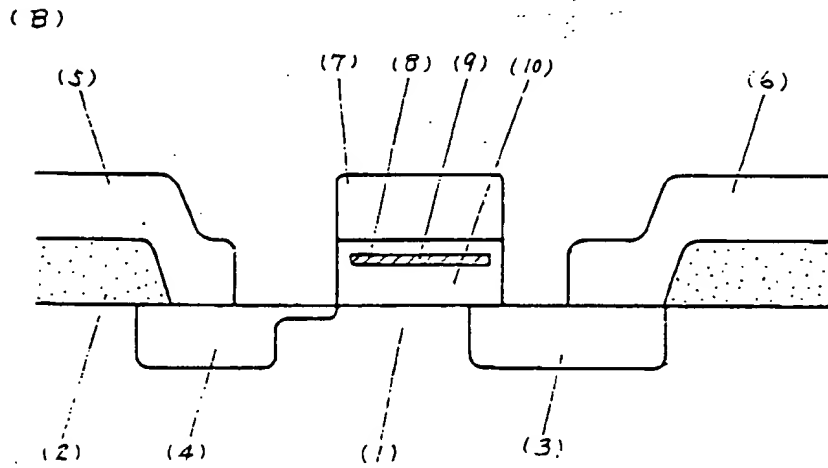
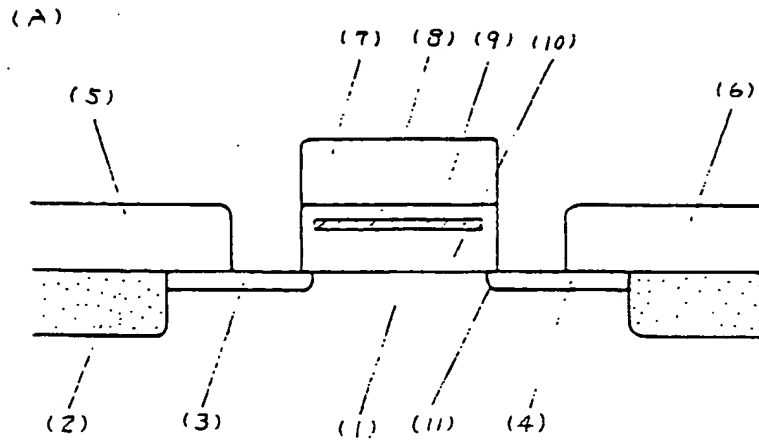
すなわち1個の不純物領域3であるソースの両側に2個の不純物領域4、4'が二つの対を構成した形状でドレイン4、4'が作られているが4は記憶情報の書込み専用のドレインであり他方4'は記憶情報の読出し専用のドレインである。T_L9は3、4間3、4'間のチャネルにまたがって連続して形成されている。不純物領域のリード6、6'はドレイン4、4'に対応して作られている。

以上の説明よりわかる如く、本発明はアバランシェプラズマを利用して不揮発性メモリの書込みを行なわんとした半導体メモリ装置であつて、アバランシェプラズマを生ぜしめるに必要なドレイン電圧を低くするためのドレインの構造及びかくの如くして励起された電子又はホールをゲイト電界を利用してT_Lに捕獲することにより不揮発性メモリの書込みを行う方法さらには周辺回路の作製を容易にするためにこの記憶情報の書込みとその読出しを行なうに際し同一の不純物領域を同じソースおよびドレインとしてそれぞれ用いない様にしたものであつてその新規性と実用性は工業界に極めて寄与するものと信ずる。

図面の簡単な説明

第1図は本発明装置の縦断面図を示し、第2図は他の本発明装置の3個の不純物領域とT_Lとの相関位置関係を示す縦断面図である。

★ 1 図



★ 2 図

